

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : CHEN et al.
Application No. : New Application
Filed : March 3, 2004
Title : OUTPUT BUFFER WITH LOW-VOLTAGE DEVICES
TO DRIVER HIGH-VOLTAGE SIGNALS FOR PCI-X
APPLICATIONS
Docket No. : BHT/3111-426

MAIL STOP NEW APPLICATION

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

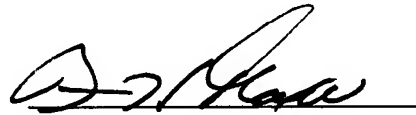
Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 092132205, filed on November 18, 2003. A certified copy of this application is enclosed.

Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

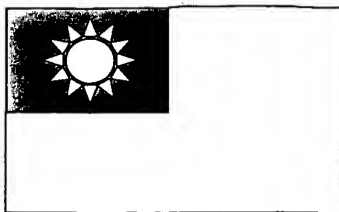
Respectfully submitted,

Date: March 3, 2004

By:


Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 18 日
Application Date

申請案號：092132205
Application No.

申請人：上元科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 11 日
Issue Date

發文字號：09320122650
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

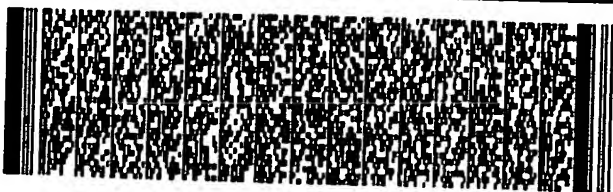
一、 發明名稱	中 文	利用低電壓元件組成的高電壓共容輸出緩衝器
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 陳世倫 2. 柯明道
	姓 名 (英文)	1. 2.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市八德路三段120號6樓 2. 新竹市寶山路200巷3號4樓之3
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 上元科技股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行路2號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 盧崑瑞
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：利用低電壓元件組成的高電壓共容輸出緩衝器)

本發明係一種利用低電壓元件組成的高電壓共容輸出緩衝器，其係應用於一延伸週邊元件連接介面匯流排 (Peripheral Component Interconnect extended)，並利用複數金屬氧化半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到利用低電壓元件耐受高電壓之緩衝器，且利用複數金屬氧化半導體場效電晶體加以組合，以提供一較佳之位準轉換器，將原本較低位準電壓 (0V~1V)，提昇至一較高的位準電壓 (1V~3.3V) 者。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第圖七圖

(二)、本案代表圖之元件代表符號簡單說明：

1 ～ 觸發狀態控制電路

2 ～ 位準轉換器

3 ～ 第一緩衝器

4 ～ 第二緩衝器

5 ～ 輸出端模組



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

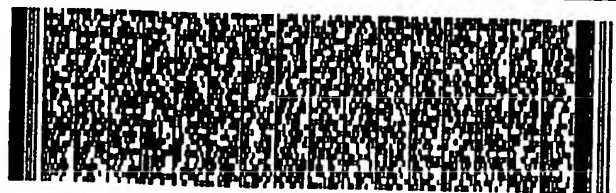
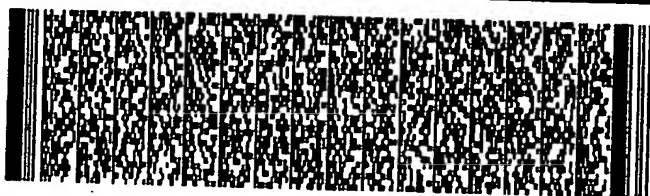
【發明所屬之技術領域】

本發明係有關一種利用低電壓元件組成的高電壓共容輸出緩衝器，尤指一種應用於一延伸週邊元件連接介面匯流排 (Peripheral Component Interconnect extended)，並利用複數金屬氧化半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到低電壓元件耐受高電壓之緩衝器者。

【先前技術】

按，電子產業的升級速度如狂洩瀑布一般，已完全超出所有人的想像，因此，所有從前未被考慮過電路上問題，於現在要求低電壓及高頻的電路設計上，已一一浮現於檯面，讓從事此行業之設計人員相當地困惑，而欲追求有效的解決之法，如能設計出一種低電壓電路且具耐高電壓電路，亦可以較為低廉電子元件製造出符合上述需求的電路，而不利用量身訂作之特殊規格之積體電路，即可達到降低生產成本之目的者，同時為了減小積體電路 (IC) 之體積，有助於電子電路板上之設計 (PCB Layout) 的便利性，降低成本，於設計時亦極為重要。

而現在的積體電路 (IC) 為達到高密度的目的，體積極小的金氧半場效電晶體 (MOSFET) 自然成為重要之電子元件，但為了符合固定電場比 (Electrical Field Scaling) 的需求，而工作電壓 (Power Supply

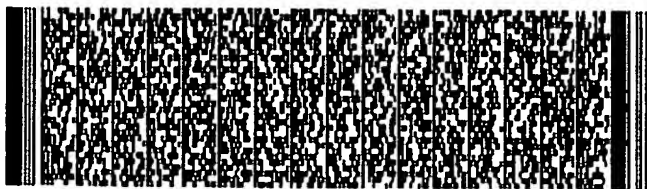


五、發明說明 (2)

Voltage) 的降低亦不可或缺，而在電腦系統中必須具有不同工作電壓的半導體體晶片 (Semiconductor Chip) 或次系統 (Sub-system)。由於具備有混合之工作電壓，晶片之介面的 I/O 路必須具有防制電壓過高

(Overstress)、不當的漏電流路徑 (Current Leakage Path) 的功能，而本發明正為一針對低電壓元件所組成高電壓共容輸出之緩衝器，可有效解決前述必須防制之二議題。

請參閱圖一所示，其係為習知三態 (tri-state) 輸出緩衝器之組成電路圖，其係為一反及開 (NAND Gate) 及一反或開 (NOR Gate) 做為其輸入端元件，再將二者其中之一接腳相互連接以形成一信號輸入端 (IN)，並配合反及開之信號輸入端 (EN) 及反或開輸入端 (ENB)，成為三信號輸入端，而反及開之輸出端再連接有一位準轉換器 (Converter)，而其詳細電路係於圖二中做一揭示，以反開 (NOT Gate) 再連接一 P 型金屬氧化半導體場效電晶體 (PMOS) 之閘極 (G)；而反或開之輸出端直接連接於一 N 型金屬氧化半導體場效電晶體 (NMOS) (以下簡稱金屬氧化半導體場效電晶體為電晶體) 之閘極氧化層 (Gate-Oxide)，無論是 P 型或 N 型之金屬氧化半導體場效電晶體，其閘極氧化層可耐受之電壓約為 2.5V，而與外部電流源電壓 3.3V 或 5V 相較，至少 0.8V 以上之電壓差距，因此以此一電路架構 (圖一) 而言，易造成電晶體燒燬之虞，故必須設計一新緩衝器架構方能符合耐受高電壓，而不需更換



五、發明說明 (3)

其他特殊規格之電晶體，增加生產成本之負擔。

請再參閱圖二所示，其係為習知位準轉換器之組成電路圖，其中該位準轉換器分別由P1、P2、P3、N1、N2及N3...之六個電晶體所組成，而藉由如圖式中的接法，將VDD的電壓設定於1V，以及將VCC設定於3.3V，以將電壓擺幅由0V至1V調整到0V至3.3V之間，但因閘極氧化層可耐受之電壓約為2.5V，此電路內的電晶體也有燒毀的可能，因此，一種新型的位準轉換器架構必需被提出來。

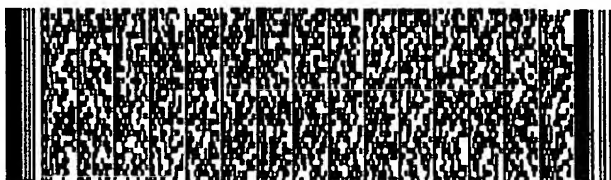
【發明內容】

基於解決以上所述習知技藝的缺失，本發明為一種利用低電壓元件組成的高電壓共容輸出緩衝器，本發明之主要目的應用於一延伸週邊元件連接介面匯流排

(Peripheral Component Interconnect extended)，並利用複數金屬氧化半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到低電壓元件耐受高電壓之緩衝器者。

本發明之另一目的為利用複數金屬氧化半導體場效電晶體加以組合，以提供一較佳之位準轉換器，將原本較低位準電壓(0V~1V)，提昇至一較高的位準電壓(1V~3.3V)，並將此位準轉換器利用在所提出的低電壓元件組成的高電壓共容輸出緩衝器裡。

本發明之第三目的為利用複數金屬氧化半導體場效電晶體加以組合，以提供一較佳輸出端模組，以使輸出特性



五、發明說明 (4)

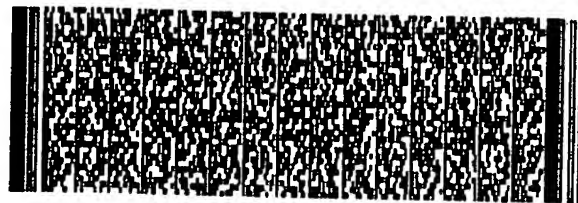
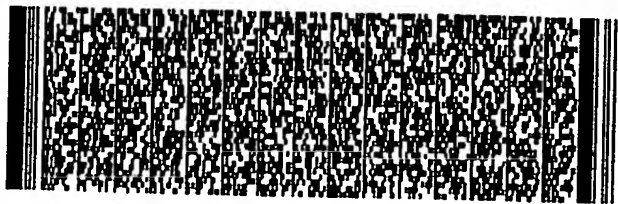
及曲線更臻完美。

為進一步對本發明有更深入的說明，乃藉由以下圖示、圖號說明及發明詳細說明，冀能對貴審查委員於審查工作有所助益。

【實施方式】

茲配合下列之圖式說明本發明之詳細架構，本發明之輸出緩衝器係為應用於一延伸週邊元件連接介面匯流排 (Peripheral Component Interconnect extended, PCI-X)，其工作頻率係於66MHz與133MHz，而其標準外部工作電壓VCC為3.3V，其金屬氧化半導體場效電晶體的處理製程之精密度為0.13um，且其耐受電壓擺幅分別為1V和2.5V，及其連結關係，以利於貴審委做一瞭解。

請參閱圖三A所示，係為本發明之輸出端模組之第一實施例圖，其中而推昇 (Pull-Up) 路徑及下降 (Pull-down) 路徑乃由二個金屬氧化半導體場效電晶體 (P2、N2) (以下簡稱金屬氧化半導體場效電晶體為電晶體) 串組而成，二者之可耐受電壓皆為2.5V，且二電晶體 (P2、N2) 閘極電壓乃交叉於VDD (1V)，如此該額外的電源才能被省略 (減少成本)，因為二電晶體 (P2、N2) 閘極電壓是在1V，實際上的閘-源電壓及閘-汲電壓大約都不會超過2.3V，所以二電晶體之閘-源電壓 (Gate-Source Voltage) 及閘-汲電壓 (Gate-Drain Voltage) 之跨電壓皆不可超過2.5V，如此便可保護二電晶體及避免其閘極



五、發明說明 (5)

氧化層出現高電壓破壞。當P1的電源為3.3V時，其最小PU信號電壓位準將不能低於0.8V ($3.3 - 2.5 = 0.8V$)，該PU信號之電壓擺幅將被設計於1至3.3V之間，其位準轉換器由原先0至1V，必須轉換成為1至3.3V電壓。

請參閱圖三B所示，係為本發明之輸出端模組之第二實施例圖，本實施例之效能優於圖三A，該N2電晶體與圖三A所揭示的元件不同，其係為一種"native V_t "之N型金屬氧化半導體場效電晶體，其N2電晶體為一標準處理製程之精密度為0.13 μm ，且其耐受電壓為2.5V者，再者，其N1是一個耐受電壓為1V之N型電晶體，該N2電晶體之閘極係為1V左右，但節點A之電壓卻不超過1V，因此該N1電晶體能操作於無高電壓的閘極氧化層問題的狀況下，且因N2是"native V_t "之N型電晶體，其次臨界漏電流的問題相當地嚴重。當節點OUT於圖三B中為3.3V，因N2次臨界漏電流的問題，該節點B會超過1V這個問題可能會發生，故加入一額外之P3電晶體，當信號PU及PD一般皆在邏輯電位為"0"之低電位（其PU和PD的低電位分別為1V和0V），該節點OUT於VDD(3.3V)，因為信號PD為0V，P3電晶體會被導通且保持A節點為1V，因此節點B將不會因N2電晶體的次臨界漏電流而超過1V。

請參閱圖四所示，係為圖三A與圖三B輸出端模組之模擬波形圖，由圖三B輸出曲線相較於圖三A輸出曲線，由於圖三B可以較短的時間達電壓下降的目的（速度較快），且其電路架構之體積亦小於圖三A所揭示之結構（因N1是用

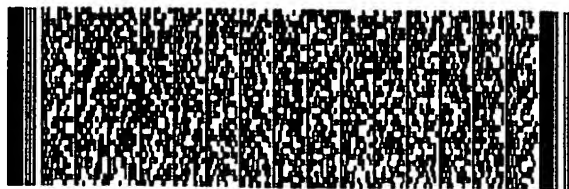


五、發明說明 (6)

1V 元件)，於設計電路時可獲得較大的應用，故印證優於圖三A。

請參閱圖五所示，係為本發明之較佳位準轉換器之電路架構圖，其主要可將0V至1V的位準電壓，轉換成為1V至3.3V的位準電壓，而有關於電晶體之種類而言，N1A與N2B電晶體是耐壓1V的N型金屬氧化半導體場效電晶體，而N2A與N2B為耐壓2.5V之(native V_t) N型金屬氧化半導體場效電晶體，如此便可使驅動的能力被增大，而其他的電晶體皆為耐壓2.5V之金屬氧化半導體場效電晶體，P3A與P3B電晶體用以保持節點A1與節點A2之電壓於1V，以及節點B1與B2於3.3V。假設初始時，互補的輸入信號(IN、INB)保持於0V至1V，當信號IN由0V上升到1V及信號INB由1V下降到0V時，節點B1被降低至0V以及電晶體5A被導通，節點OUTB被降低(Pull down)至1V及電晶體P4B及P1B皆被導通，同時節點OUT及B2亦被推昇(Pull up)至3.3V。再者，信號IN由1V下降到0V以及信號INB由0V上升到1V時，即可使節點B2被降低至0V及電晶體P5B被導通，節點OUT降低至1V及電晶體P4A和P1A是被導通的。節點OUTB和B1被推昇至3.3V，因為使用P型電晶體對於降低節點OUT及OUTB來說顯得太慢了，二混合對稱的N型電晶體N3A及N3B可增加降低電壓的速度。此外，電晶體P3A和P3B是為了防止N2A和N2B的次臨界電流所造成節點A1和A2電壓過高的問題。

請參閱圖六所示，係為圖五較佳位準轉換器之模擬波

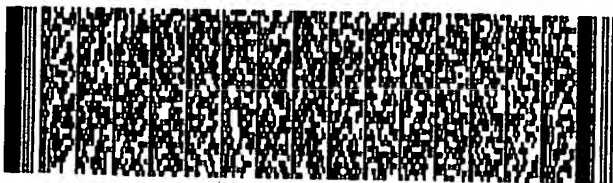


五、發明說明 (7)

形圖，由圖中可證明，該位準轉換器加入N3A及N3B後，速度即遠優於未加入N3A及N3B者。

請參閱圖七所示，係為本發明之較佳輸出端模組之電路架構圖，係包括有：一觸發狀態控制電路1、一位準轉換器2、一第一緩衝器3、一第二緩衝器4、一輸出端模組5...等構成元件，其中該觸發狀態控制電路1係包括有一互補式金屬氧化半導體場效電晶體(CMOS)之反及閘(NAND)與一互補式金屬氧化半導體場效電晶體(CMOS)之反或閘(NOR)所構成，而控制信號EN係為0V及控制信號ENB係為1V，而該輸出緩衝器處於高阻抗(high impedance)的狀態，當控制信號EN為1V及控制信號ENB為0V時，此輸出緩衝器即可致能(enable)。另一等效之觸發狀態控制電路如圖八A所示，且此輸出緩衝器之輸出端模組等同於圖三B所示，該位準轉換器可轉換原先0至1V電壓成為1至3.3V電壓。

因輸出端模組5之電晶體的體積尺寸較大，所以第一緩衝器3及第二緩衝器4被用來驅動該輸出端模組5。其第一緩衝器3之詳細組成電路如圖八B所示，其第一緩衝器3由反相器INV1所組成。反相器INV1中的P型電晶體及N型電晶體為一般型耐壓2.5V金屬氧化半導體場效電晶體；第二緩衝器4之等效電路如圖八C所示，其第二緩衝器由反相器INV2所組成。反相器INV2為P型電晶體及N型電晶體為一般型耐壓1V金屬氧化半導體場效電晶體。為了使信號PU及信號PD相互匹配，可調整第一緩衝器3及第二緩衝器4裡的反



五、發明說明 (8)

相器串接個數。而輸出端模組5係由複數金屬氧化半導體場效電晶體所串組而成，以增加其耐受電壓之能力，該複數金屬氧化半導體場效電晶體更係包括至少一"native V_t "之N型金屬氧化半導體場效電晶體，以及至少一耐受電壓為1V之N型電晶體。

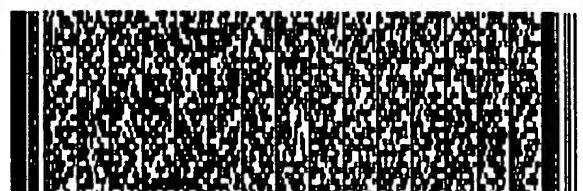
請參閱圖九所示，係為本發明之模擬環境電路圖，利用此模擬環境，以產生以下圖十之模擬波形圖。

請參閱圖十所示，係為本發明之較佳輸出端模組之模擬波形圖，本發明應用於一延伸週邊元件連接介面匯流排(Peripheral Component Interconnect extended, PCI-X)，其工作頻率係於66MHz和133MHz。此外，本發明可亦應用於各式的數位輸出緩衝器。

由圖三至圖十的揭示可得知，本發明以複數金屬氧化半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到低成本耐受高電壓之緩衝器，並該電路整體效能比傳統緩衝器為快，且電路體積亦比傳統者為小，已達到可專利性之標準，故提出本案專利權之申請。

綜上所述，本發明之結構特徵及各實施例皆已詳細揭示，而可充分顯示出本發明案在目的及功效上均深富實施之進步性，極具產業之利用價值，且為目前市面上前所未見之運用，依專利法之精神所述，本發明案完全符合發明專利之要件。

唯以上所述者，僅為本發明之較佳實施例而已，當不



五、發明說明 (9)

能以之限定本發明所實施之範圍，即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。



圖式簡單說明

【圖式簡單說明】

圖一係為習知緩衝器之組成電路圖。

圖二係為習知位準轉換器之組成電路圖。

圖三A係為本發明之輸出端模組之第一實施例圖。

圖三B係為本發明之輸出端模組之第二實施例圖。

圖四係為圖三A與圖三B輸出端模組之模擬波形圖。

圖五係為本發明之較佳位準轉換器之電路架構圖。

圖六係為圖五較佳位準轉換器之模擬波形圖。

圖七係為本發明之較佳輸出端模組之電路架構圖。

圖八A係為本發明之觸發狀態控制電路之等效電路圖。

圖八B係為本發明之第一緩衝器之等效電路圖。

圖八C係為本發明之第二緩衝器之等效電路圖。

圖九係為本發明之模擬環境電路圖。

圖十係為本發明之較佳輸出端模組之模擬波形圖。

圖號說明：

1 ～ 觸發狀態控制電路

2 ～ 位準轉換器

3 ～ 第一緩衝器

4 ～ 第二緩衝器

5 ～ 輸出端模組



六、申請專利範圍

1. 一種利用低電壓元件組成的高電壓共容輸出緩衝器，其係包括有：

一觸發狀態控制電路，接收外界低電位及高電位之信號，並經由邏輯判斷後，輸出處理後至少二信號結果；

一位準轉換器，一端與觸發狀態控制電路相連接，接收其處理後之信號結果，以提昇位電壓位準之轉換者；

一輸出端模組，係由複數金屬氧化半導體場效電晶體所串組而成，以增加其耐受電壓之能力；

一第一緩衝器，其一端與位準轉換器之另一端相連接，並將其電壓位準由其另一端輸出至該輸出端模組；以及

一第二緩衝器，其一端與觸發狀態控制電路相連接，並將其電壓位準由其另一端輸出至該輸出端模組。

2. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體之耐受跨電壓為2.5V（伏特）。
3. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該輸出緩衝器係為應用於一延伸週邊元件連接介面匯流排（Peripheral Component Interconnect extended）。
4. 如申請專利範圍第3項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該延伸週邊元件連接介面匯



六、申請專利範圍

流排 (Peripheral Component Interconnect extended) 之工作頻率係於66MHz和133MHz之間。

5. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體的處理製程之精密度為0.13 μ m，且其耐受電壓擺幅為1V和2.5V。
6. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該觸發狀態控制電路係為一互補式金屬氧化半導體場效電晶體 (CMOS) 之反及閘 (NAND) 與一互補式金屬氧化半導體場效電晶體 (CMOS) 之反或閘 (NOR) 所構成。
7. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該第一緩衝器為P型電晶體及N型電晶體為一般型耐壓2.5V金屬氧化半導體場效電晶體。
8. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該P型電晶體及N型電晶體為一般型耐壓1V金屬氧化半導體場效電晶體。
9. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場效電晶體更係包括至少一"native Vt"之N型金屬氧化半導體場效電晶體。
10. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該複數金屬氧化半導體場



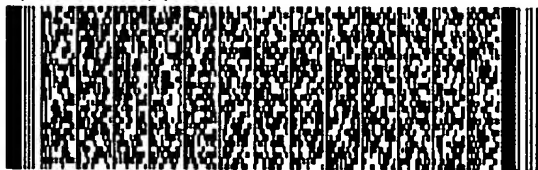
六、申請專利範圍

效電晶體更係包括至少一耐受電壓為1V之N型電晶體。

11. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該第一緩衝器之電壓位準係為1V至3.3V之間。
12. 如申請專利範圍第1項所述之利用低電壓元件組成的高電壓共容輸出緩衝器，其中該第二緩衝器之電壓位準係為0V至1V之間。



第 1/17 頁



第 2/17 頁



第 3/17 頁



第 4/17 頁



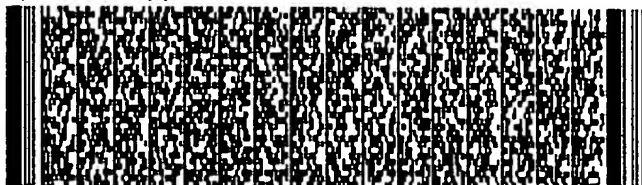
第 5/17 頁



第 5/17 頁



第 6/17 頁



第 6/17 頁



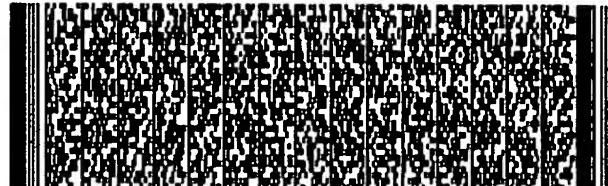
第 7/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



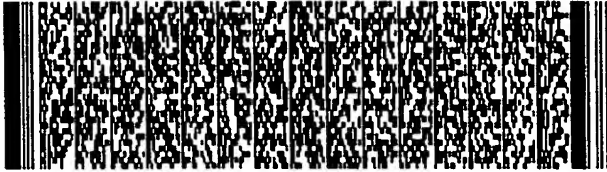
第 10/17 頁



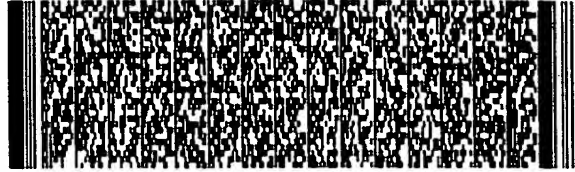
第 10/17 頁



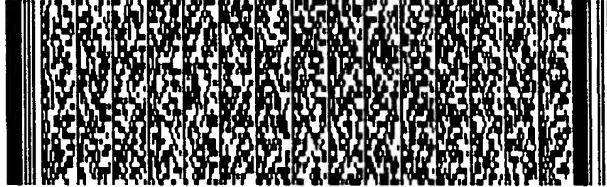
第 11/17 頁



第 11/17 頁



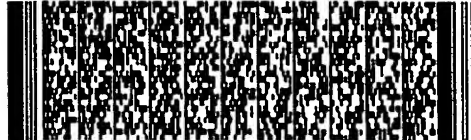
第 12/17 頁



第 12/17 頁



第 13/17 頁



第 14/17 頁



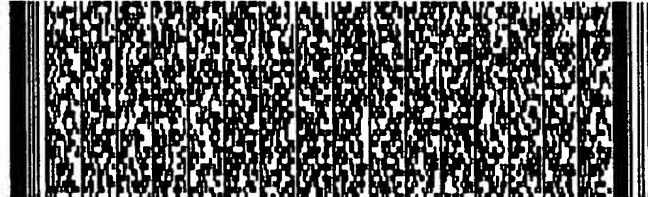
第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁



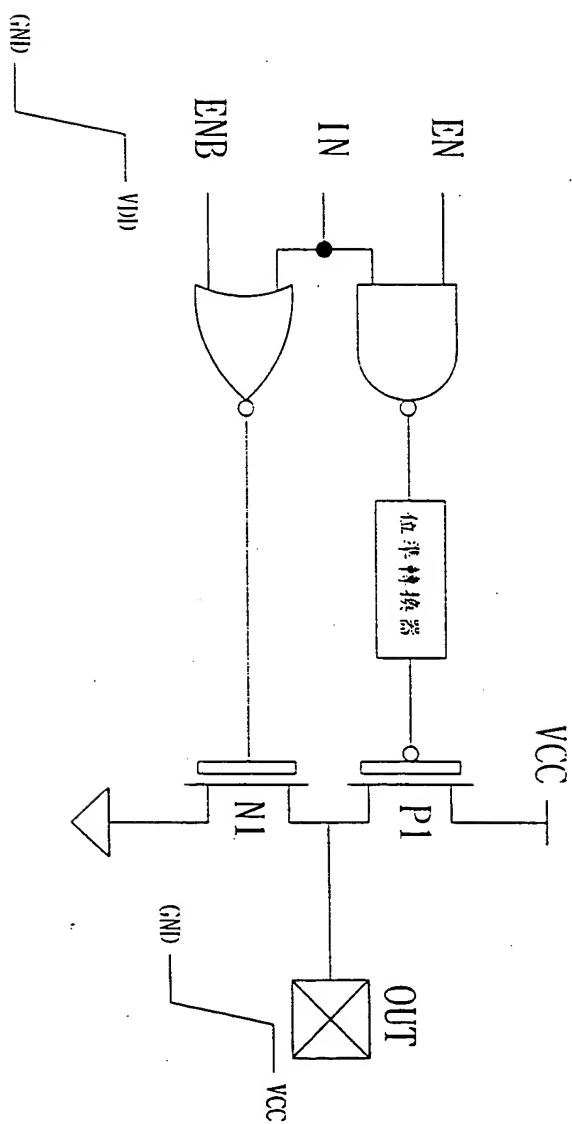
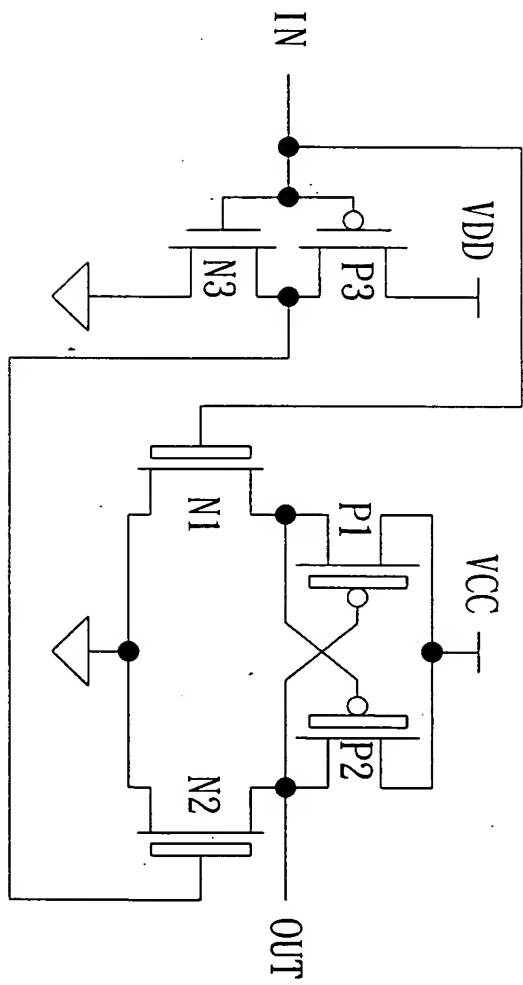
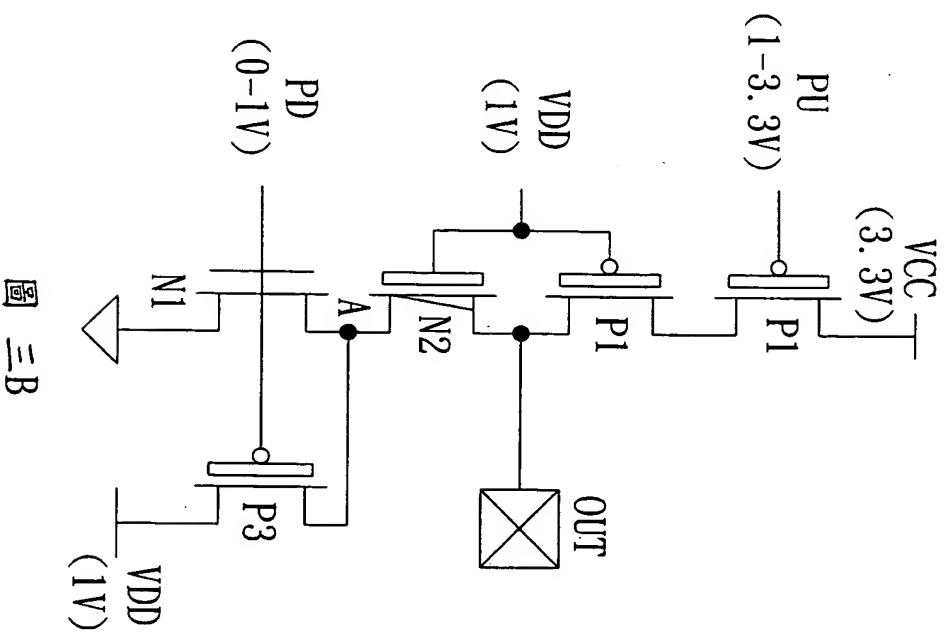
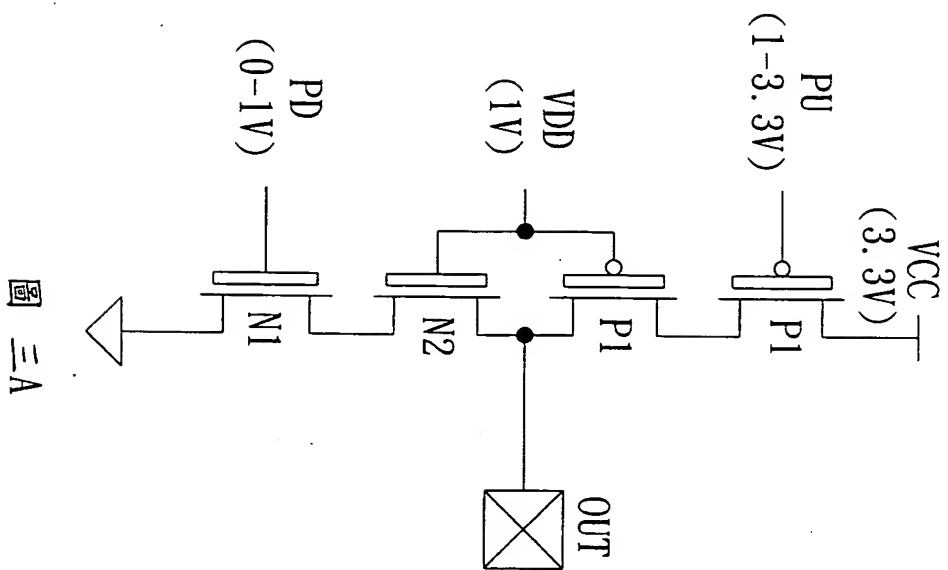


圖 1



圖二



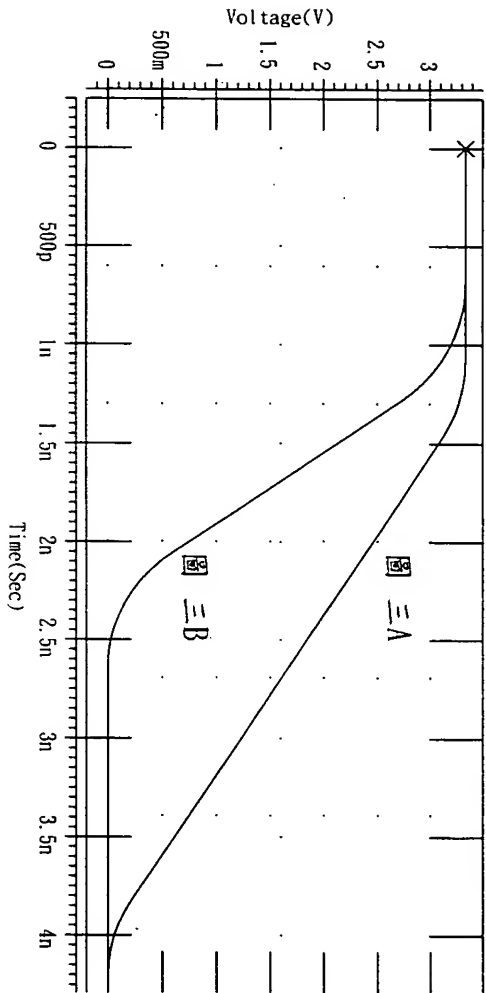
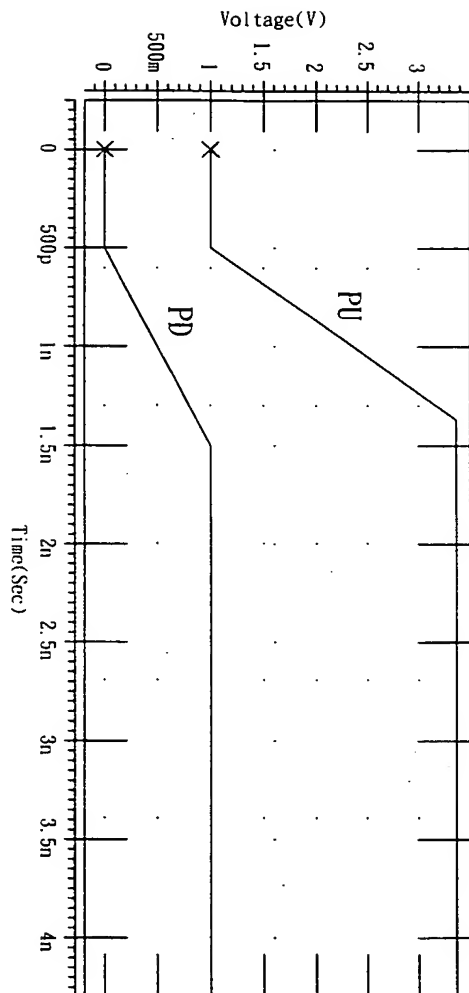


圖 四

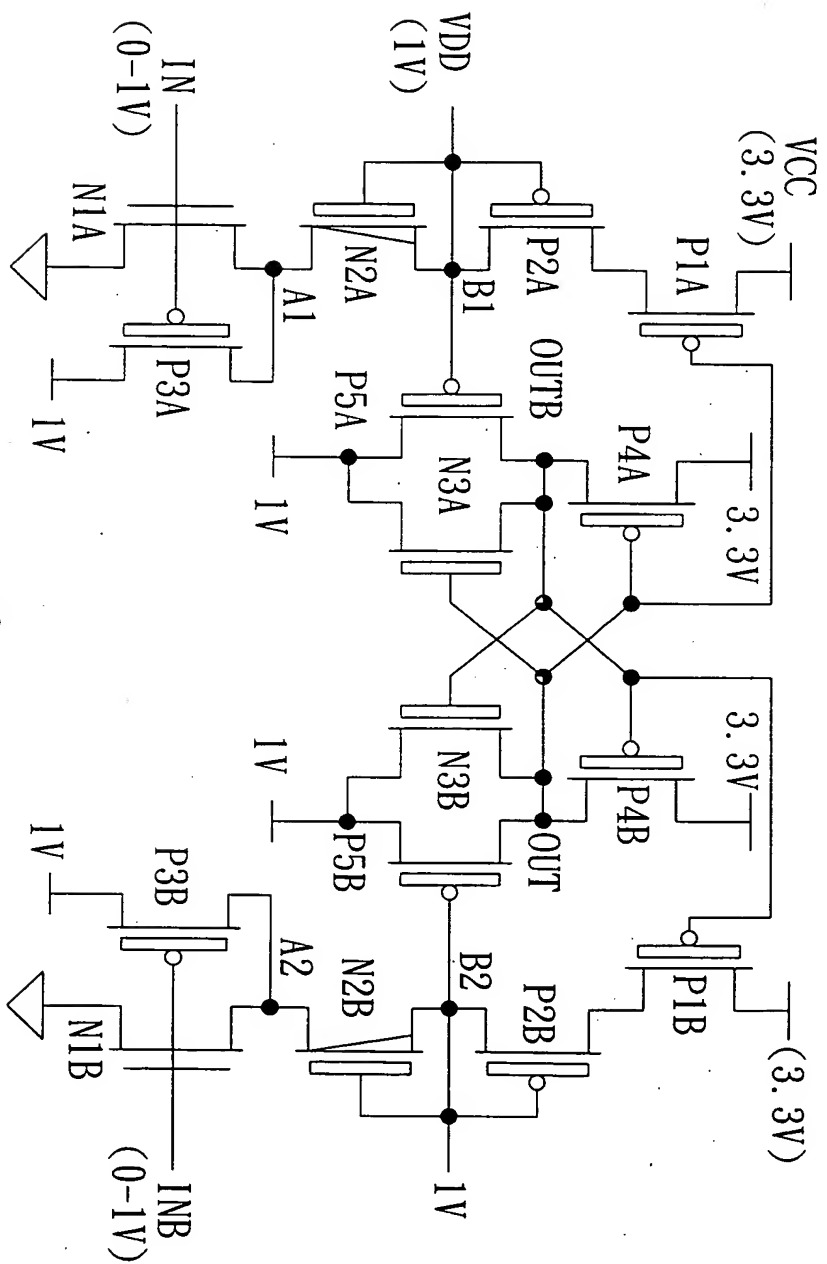


圖 五

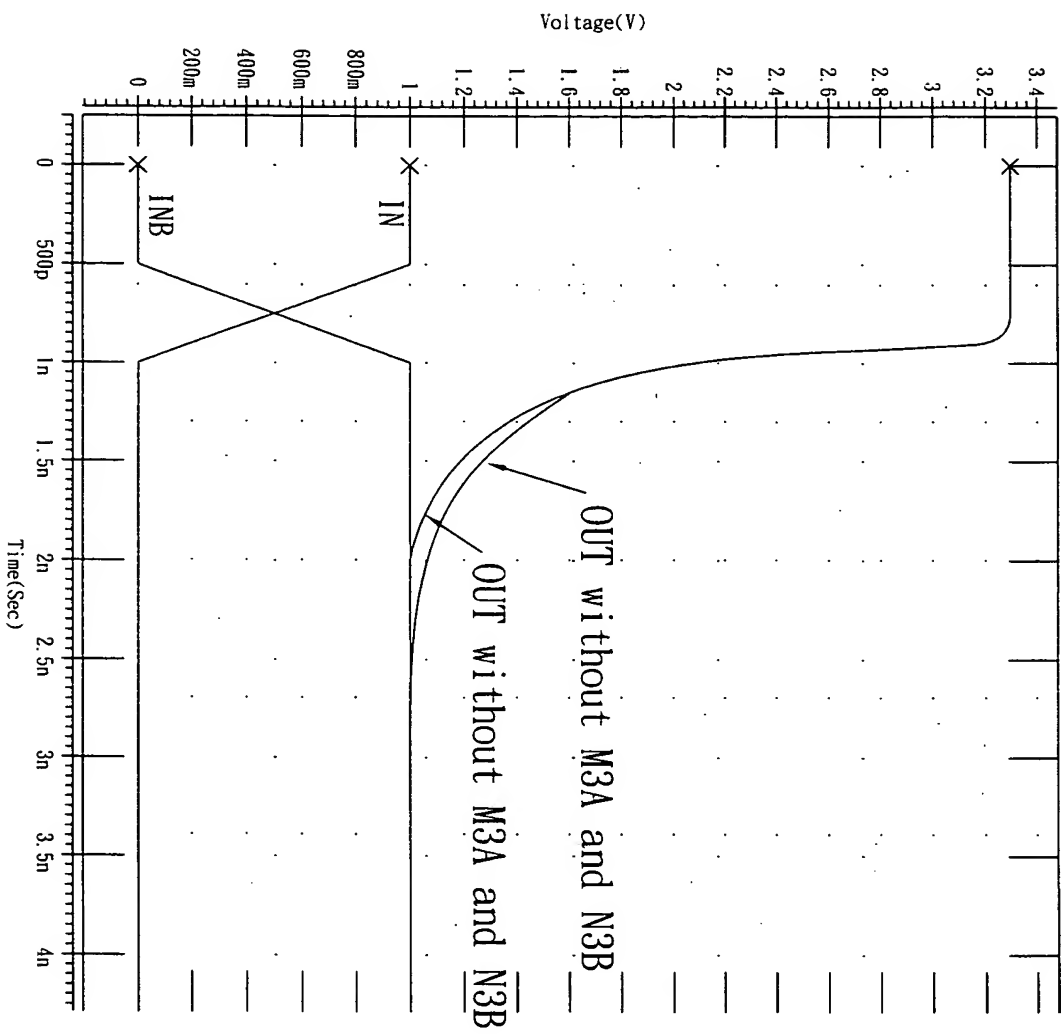
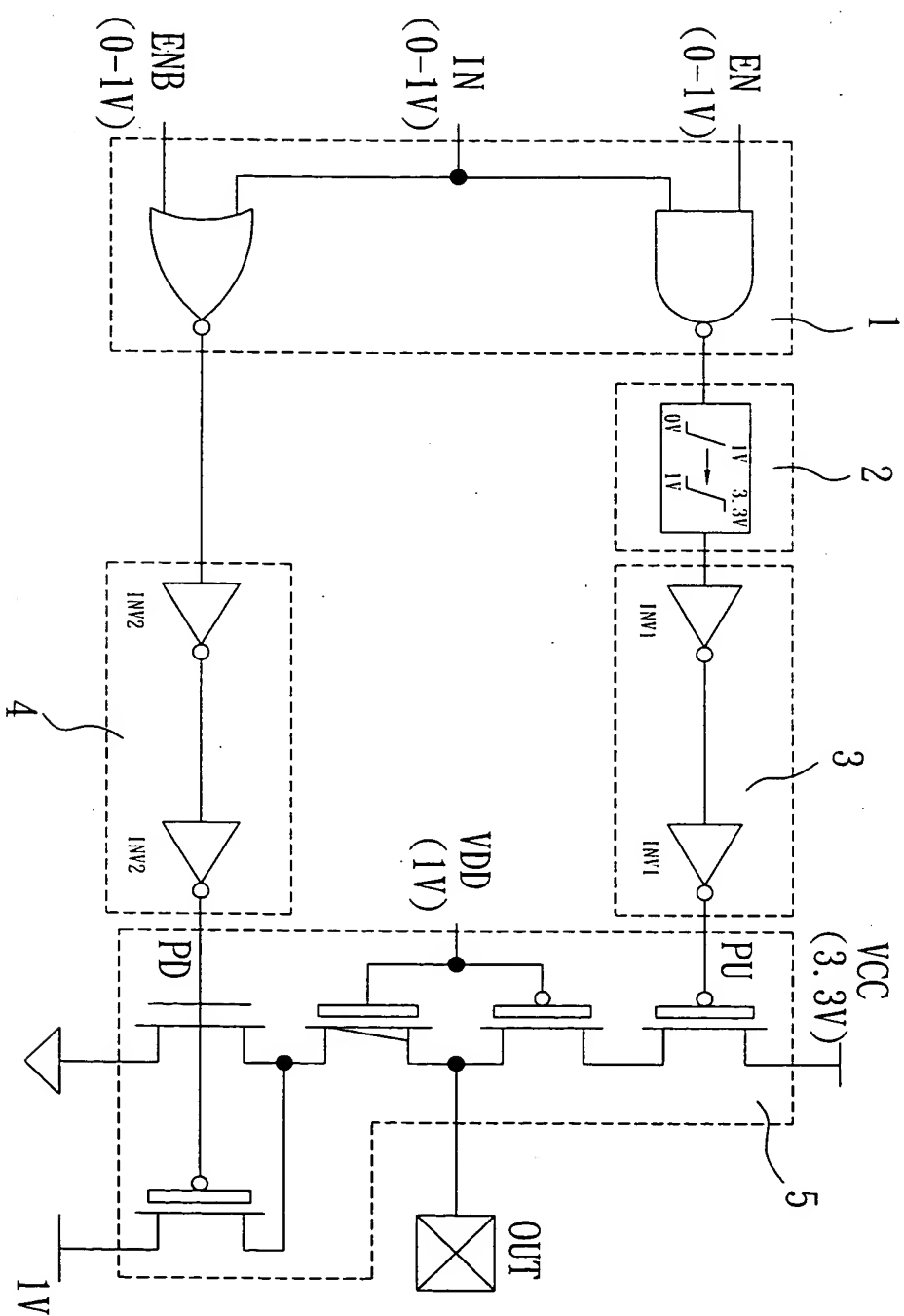


圖 六



七

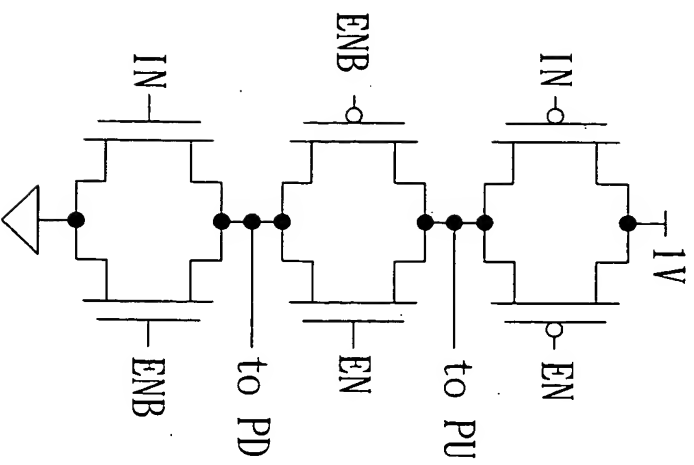


圖 8A

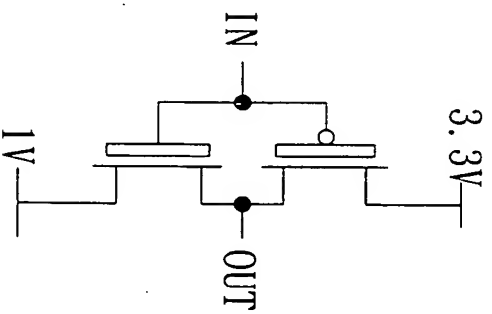


圖 8B

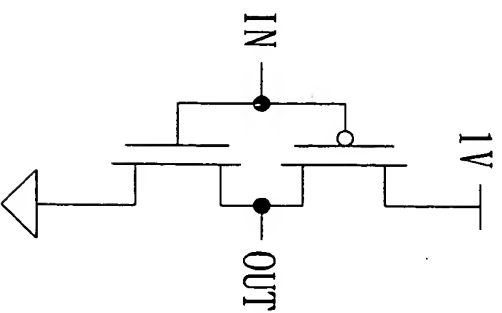


圖 8C

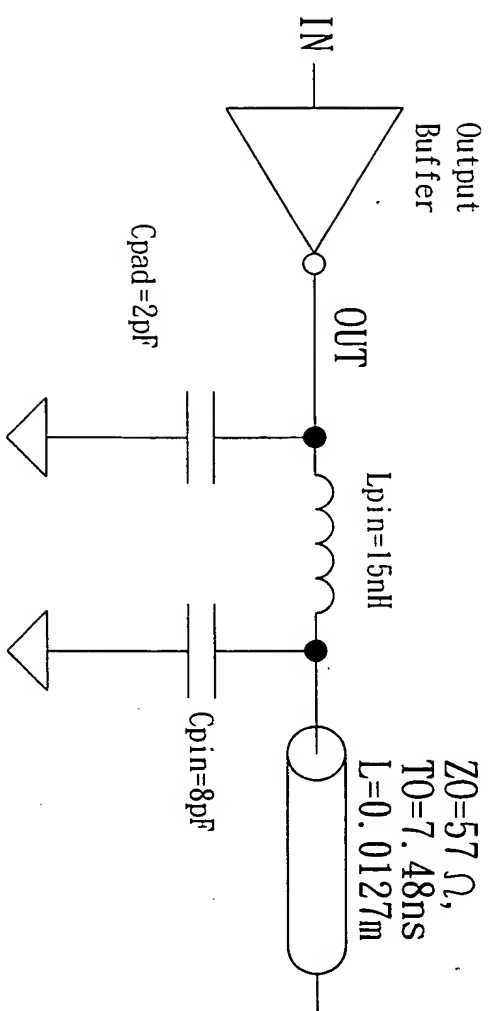
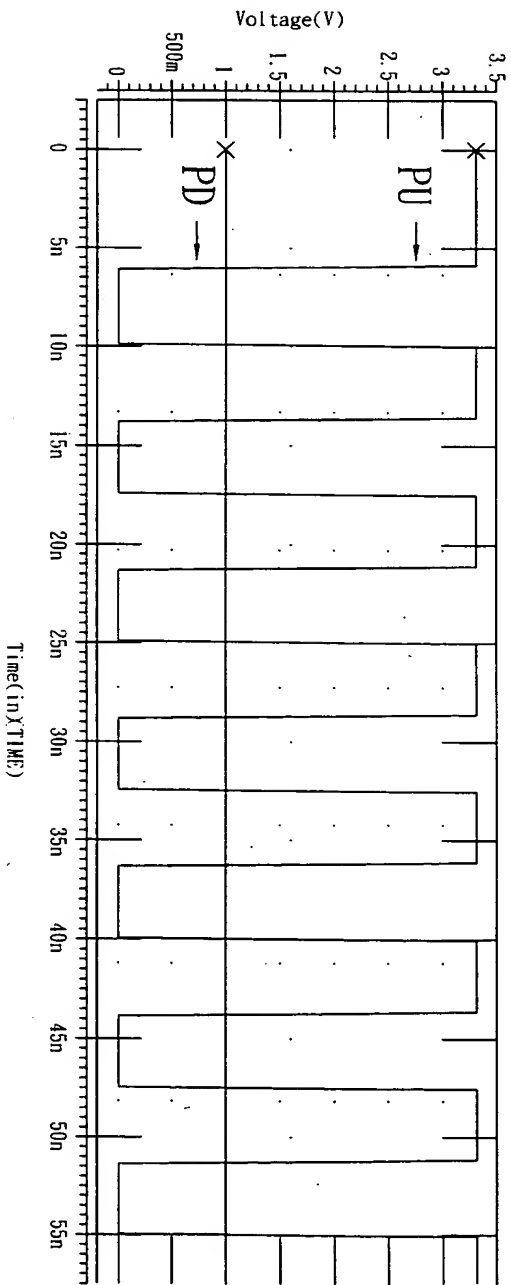
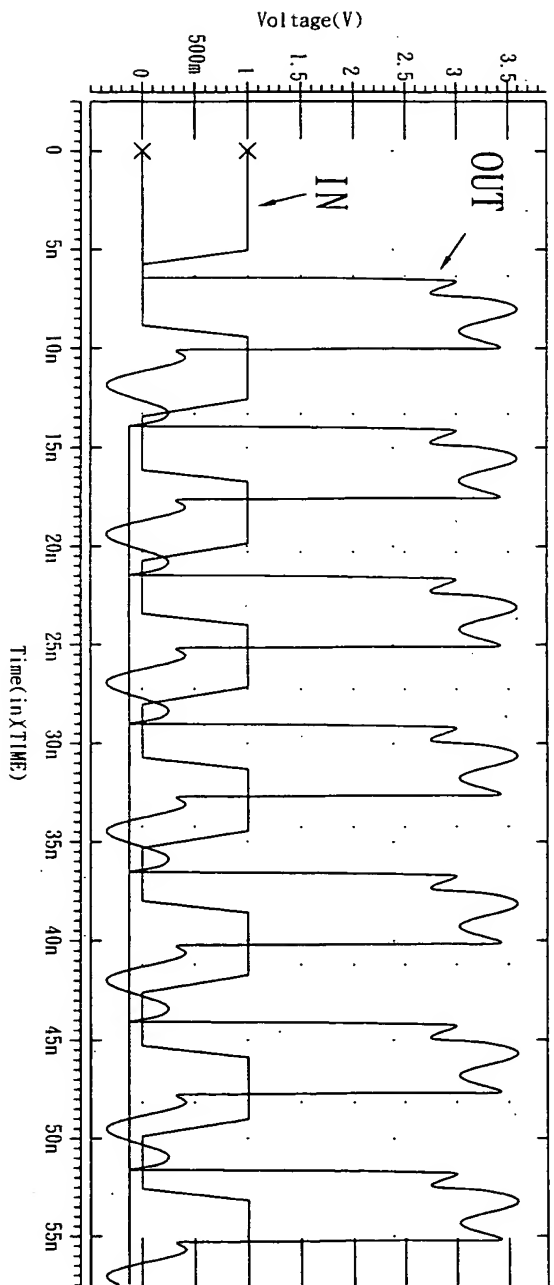


圖 九



圖十